

⑫ 特許公報 (B2)

平5-56534

⑮ Int. Cl.⁵

G 06 F 7/38

識別記号

B

庁内整理番号

9291-5B

⑭ 公告 平成5年(1993)8月19日

発明の数 1 (全4頁)

⑯ 発明の名称 丸め回路のステイツキー信号発生回路

⑰ 特 願 昭62-2219

⑱ 公 開 昭63-168724

⑲ 出 願 昭62(1987)1月7日

⑳ 昭63(1988)7月12日

㉑ 発 明 者 荒 井 誠 司 東京都港区芝5丁目33番1号 日本電気株式会社内

㉒ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉓ 代 理 人 弁理士 京本 直樹 外2名

審 査 官 日 下 善 之

1

2

㉔ 特許請求の範囲

1 2進方式と10進方式を兼ね備えた複数のレジスタを有する数値演算プロセッサのための丸め回路のステイツキー信号発生回路にして、2進・10進弁別信号に従ってシフト制御信号を選択的にシフトして補正シフト制御信号を出力する第1の回路と、シフトにより前記レジスタからこぼれたデータの内の、前記補正シフト制御信号により規定される範囲のデータに応答してステイツキー信号を発生する第2の回路とを具備することを特徴とする丸め回路のステイツキー信号発生回路。

発明の詳細な説明

産業上の利用分野

本発明は、数値演算プロセッサのための丸め回路に関し、特に2進方式と10進方式を兼ね備えた丸め回路のためのステイツキー信号発生回路に関する。

従来の技術

従来、数値演算プロセッサにおいて、丸め処理が数値演算に欠かせない。この種の丸め回路の丸めの方法は、2進方式では、ガードビット、ラウンドビットの2ビットが必要であり、10進方式では、ガードデジット、ラウンドデジットの2デジットが必要であり、それらの値によつて、丸めを行なう。その処理は、従来、マイクロプログラムにおいて制御される。

発明が解決しようとする問題点

2進方式と10進方式を兼ね備えた複数のレジ

スタを持つ数値演算プロセッサにおいて、上述した従来の丸め回路では、たとえば、2進方式で左へ3ビット以上シフトをする場合、10進のガードデジットとラウンドデジットがデータの中に入り込む。そこで、シフトしたときに10進方式のガードデジットとラウンドデジットがデータの中に入り込むことを防ぐため、マイクロプログラムにおいて2進命令と10進命令に分けておかなければならない。

また、右シフトの場合、こぼれおちるビットの位置が2進方進と10進方式では違うため、同じように2進命令と10進命令を分けておかなければならない。このため、マイクロ命令が、2進方式だけを行なうマイクロ命令に比較して、余分に必要である。

そこで、本発明は、2進方式と10進方式を兼ね備えた複数のレジスタを持つ数値演算プロセッサにおいて、丸め処理を2進方式と10進方式とに分けることによるマイクロプログラムの増大を抑制することができる丸め回路を提供せんとするものである。

問題点を解決するための手段

すなわち、本発明によるならば、2進方式と10進方式を兼ね備えた複数のレジスタを有する数値演算プロセッサのための丸め回路のステイツキー信号発生回路にして、2進・10進弁別信号に従ってシフト制御信号を選択的にシフトして補正シフト制御信号を出力する第1の回路と、シフトによ

り前記レジスタからこぼれたデータの内の、前記補正シフト制御信号により規定される範囲のデータに回答してステイツキー信号を発生する第2の回路とを具備することを特徴とする丸め回路のステイツキー信号発生回路が提供される。

作 用

以上のようなステイツキー信号発生回路において、2進・10進弁別信号は例えばマイクロ命令またはマイクロ命令をデコードすることにより得られる。

そのような2進・10進弁別信号を受ける第1の回路は、2進方式と10進方式の違いによつて、こぼれデータ内に2進用丸めガードビットと2進用ラウンドビットが存在する可能性または10進用丸めガードデジットと10進用ラウンドデジットが存在する可能性に従つて、シフト量制御信号を選択的にシフトして補正シフト制御信号を出力する。その補正シフト制御信号を受ける第2の回路は、シフトにより前記レジスタからこぼれたデータの内の、前記補正シフト制御信号により規定される範囲のデータに回答して、すなわち、2進方式の場合にはこぼれデータ内に2進用丸めガードビットと2進用ラウンドビットが存在する範囲のデータに回答し、10進方式の場合にはこぼれデータ内に10進用丸めガードデジットと10進用ラウンドデジットが存在する範囲のデータに回答して、ステイツキー信号を発生する。

従つて、丸め用のガードビット、ラウンドビットもしくはガードデジット、ラウンドデジットが、マイクロ命令およびマクロ命令をデコードして得られる2進・10進弁別信号により制御されることにより、マイクロプログラムが削減できる。

実施例

次に、本発明の実施例を図面を参照して説明する。

第2図は、2進方式と10進方式を兼ね備えたのレジスタの概略図である。レジスタ10は、10進方式の場合には、ガードデジット及びラウンドデジットをLSBから8ビットの範囲に有しており、2進方式の場合には、ガードビットG及びラウンドビットRをLSBから8ビット目と7ビット目に有している。従つて、データビットは、LSBから9ビット目から上位に位置している。それ故、そのようなレジスタの内容を右にシフトした

場合、こぼれたビットの中の、ガードデジット及びラウンドデジットと、ガードビットG及びラウンドビットRとの位置は、2進方式と10進方式とで異なる。

5 本発明は、その違いを判別して、右シフトを行なつたときにこぼれたビットの内の、ガードデジット、ラウンドデジット、ガードビット、ラウンドビットに相当するビットに“1”が存在する場合、丸め処理を行なうためステイツキー信号(STICKY)を発生する。しかし、2進方式と10進方式では、同じビット数をシフトしてもレジスタからこぼれるビットが違つている。そこで、マイクロ命令もしくはマクロ命令をデコードして得られる2進・10進弁別信号に基づいて、こぼれたビットに、ガードデジット、ラウンドデジット、ガードビット、ラウンドビットの“1”が存在するかどうか判別してステイツキー信号を発生する。第1図は、その本発明のステイツキー信号発生回路の一実施例である。

10 レジスタ10からの8ビットのシフト制御ライン12は、LSBのシフト制御ライン12(第1図において最上部のシフト制御ライン12)を除いて、それぞれトランスファアーゲート14を介して対応するORゲート16の一方に接続されている。各ORゲート16の出力は、対応するトランスファアーゲート18のゲートに接続される共に、直ぐ下位のORゲート18の他方の入力に接続されている。そして、MSBのORゲート16(第1図において最下部のORゲート16)の他方の入力は接地されている。従つて、全てのORゲート16の一方の入力が“0”である場合、全てのORゲート16の出力は“0”となる。しかし、1つでもORゲートの一方の入力に“1”が印加されると、そのORゲートだけでなくそれより下位のORゲートの出力も“1”となる。

更に、8ビットのシフト制御ライン12は、それぞれトランスファアーゲート20を介して、6ビット下位にシフトしたORゲート16の一方に接続されている。

40 トランスファアーゲート14のゲートには、インバータ22及び24を介して、マイクロ命令もしくはマクロ命令をデコードして得られた2進・10進弁別信号26が印加され、トランスファアーゲート20のゲートには、インバータ22の出力が印

加される。従つて、トランスファアゲート14のゲートとトランスファアゲート20のゲートには、互いに反転した信号が印加され、一方がオンときは他方がオフとなるようになされている。

また、データライン28が、対応するトランスファアゲート30のゲートに接続され、そのトランスファアゲート30は、トランスファアゲート18と直列に接続されているトランスファアゲート32のゲートに接続されている。そして、トランスファアゲート18と32との直列回路は、ライン34とアースとの間に接続されている。そのライン34にはインバータ36が接続され、そのインバータ36がステイスキー信号38を出力する。

次に、上記した本発明によるステイスキー信号発生回路の動作を説明する。

今、10進方式を使い右シフトを考える。10進方式の場合、2進・10進弁別信号26によりトランスファアゲート14はオンとなり、トランスファアゲート20はオフとなる。その結果、シフト制御ライン12上のシフト制御信号がシフトせずそのままORゲート16に入力される。それ故、アクティブなシフト制御信号を受けるORゲート16とその下位のORゲート16の出力、すなわちシフトしたビット数に対応するORゲート16の出力が“1”のとなる。従つて、出力が“1”のORゲート16に対応するトランスファアゲート32がアクティブ可能となり、そのアクティブ可能なトランスファアゲート32に接続されているデータライン28上に“1”のビットがあれば、ライン34はローレベルとなり、ステイスキー信号38は“1”となる。しかし、アクティブ可能なトランスファアゲート32に接続されているデータライン28上のデータ全てが“0”のときには

ステイスキー信号38は“0”となる。

次に2進方式の場合、トランスファアゲート14はオフとなり、トランスファアゲート20がオンとなる。それ故、シフト制御信号12がシフトされてLSBから6ビットまでのデータを無視し、7ビット目のデータからトランスファアゲート32に入る。そして、10進方式と同様にデータ28が“1”のとき、ステイスキー信号38は“1”となり、データ5が“0”のときは“0”となる。

以上説明した実施例は0ビットから7ビットまでシフトした場合であるが、実際はバイトを考えて、ビットとバイトの組合せでこぼれおちたすべのデータの“1”を検出するようにできる。

発明の効果

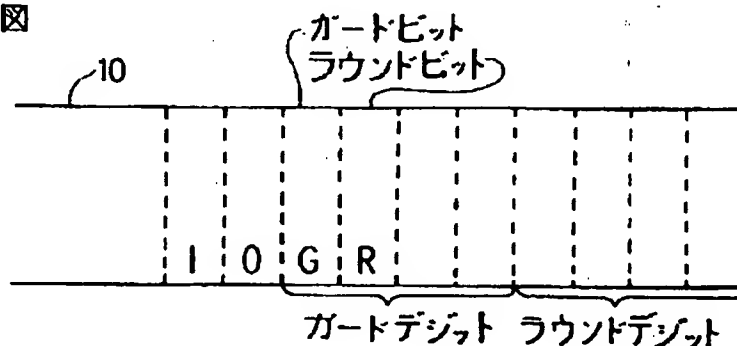
以上説明したように本発明は、2進方式と10進方式を兼ね備えたレジスタにおいて、丸め用のガードビット、ラウンドビットもしくはガードデジット、ラウンドデジットがマイクロ命令およびマクロ命令によつて制御されることにより、マイクロプログラムの削減により、マイクロROMの容量が小さくなる。またマイクロ命令そのものが少なくすみ、マイクロ命令をデコードする部分が少なくなる。

図面の簡単な説明

第1図は、本発明によるステイスキー信号発生回路の実施例の回路図、第2図は、2進方式と10進方式を兼ね備えたレジスタの概略図である。

(主な参照番号)、10……レジスタ、12……シフト制御ライン、14、20……2進、10進を区別するトランスファアゲート、16……ORゲート、26……マイクロ命令もしくはマクロ命令をデコードした2進・10進弁別信号、28……データライン、38……ステイスキー信号。

第2図



第1図

